

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
10. April 2003 (10.04.2003)

PCT

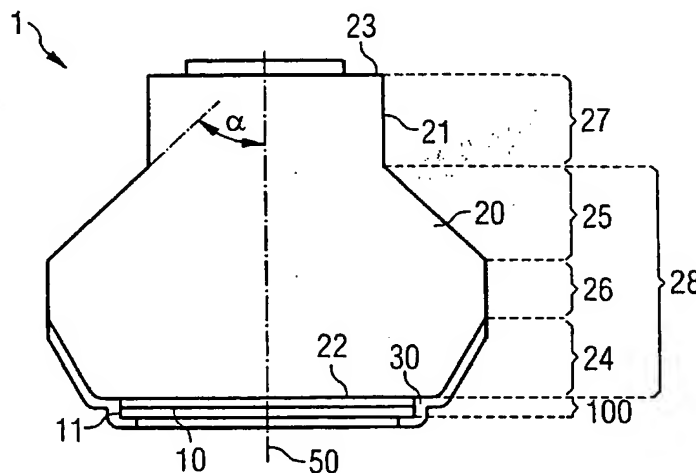
(10) Internationale Veröffentlichungsnummer  
WO 03/030271 A2

- (51) Internationale Patentklassifikation<sup>7</sup>: H01L 33/00 (72) Erfinder; und  
(21) Internationales Aktenzeichen: PCT/DE02/03668 (75) Erfinder/Anmelder (nur für US): FEHRER, Michael  
(22) Internationales Anmeldedatum: 27. September 2002 (27.09.2002) [DE/DE]; Rilkestrasse 5B, 93077 Bad Abbach (DE).  
HÄRLE, Volker [DE/DE]; Lichenstrasse 35, 93164  
Waldelzenberg (DE). KÜHN, Frank [DE/DE]; Donarweg  
14, 81739 München (DE). ZEHNDER, Ulrich [DE/DE];  
Augustenstrasse 11, 93049 Regensburg (DE).  
(25) Einreichungssprache: Deutsch  
(26) Veröffentlichungssprache: Deutsch (74) Anwalt: EPPING, HERMANN & FISCHER; Ridler-  
strasse 55, 80339 München (DE).  
(30) Angaben zur Priorität: 101 48 227.2 28. September 2001 (28.09.2001) DE (81) Bestimmungsstaaten (national): JP, US.  
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): OSRAM OPTO SEMICONDUCTORS (84) Bestimmungsstaaten (regional): europäisches Patent (AT,  
GMBH [DE/DE]; Wernerwerkstr. 2, 93049 Regensburg (DE). BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,  
IE, IT, LU, MC, NL, PT, SE, SK, TR).

[Fortsetzung auf der nächsten Seite]

(54) Title: RADIATION-EMITTING SEMICONDUCTOR CHIP, METHOD FOR PRODUCTION THEREOF AND RADIATION-EMITTING COMPONENT

(54) Bezeichnung: STRAHLUNGSEMITTIERENDER HALBLEITERCHIP, VERFAHREN ZU DESSEN HERSTELLUNG UND STRAHLUNGSEMITTIERENDES BAUELEMENT



(57) Abstract: The invention relates to a radiation-emitting semiconductor chip with a multi-layer structure (100), comprising a radiation-emitting active layer (10) and a window layer (20), transparent to a radiation emitted by the active layer (10) and which is arranged in the direction of a main emitting direction of the semiconductor element on the multi-layer structure (100). The semiconductor chip is provided for a top-down assembly in a chip housing and the window layer (20) comprises at least one boundary lateral surface (21), comprising a first tilted, curved or stepped lateral surface region (24), running from a first main surface (22), facing the multi-layer structure (100) in the direction of a second main surface (23), facing away from the multi-layer structure (100), such that the window layer is extended relative to the size of the first main surface (22). A boundary lateral surface (11) of the multi-layer structure (100) and at least one part of the tilted, curved or stepped first lateral surface region (24) are coated with a complete electrically insulating layer (30). The invention further relates to a radiation-emitting component with such a chip and a method for the simultaneous production of a number of said chips.

[Fortsetzung auf der nächsten Seite]

BEST AVAILABLE COPY

**Veröffentlicht:**

— ohne internationalen Recherchenbericht und erneut zu  
veröffentlichen nach Erhalt des Berichts

*Zur Erklärung der Zweibuchstaben-Codes und der anderen  
Abkürzungen wird auf die Erklärungen ("Guidance Notes on  
Codes and Abbreviations") am Anfang jeder regulären Ausgabe  
der PCT-Gazette verwiesen.*

**(57) Zusammenfassung:** Die Erfindung betrifft einen strahlungsemitierenden Halbleiterchip, mit einer Mehrschichtstruktur (100), die eine strahlungsemitierende aktive Schicht (10) enthält, und mit einer Fensterschicht (20), die für eine von der aktiven Schicht (10) ausgesandte Strahlung durchlässig ist und die in Richtung einer Hauptabstrahlrichtung des Halbleiterbauelements der Mehrschichtstruktur (100) nachgeordnet ist. Der Halbleiterchip ist zur Top-Down-Montage in einem Chipgehäuse vorgesehen und die Fensterschicht (20) weist mindestens eine umlaufende Seitenfläche (21) auf, die im Verlauf von einer der Mehrschichtstruktur (100) zugewandten ersten Hauptfläche (22) in Richtung zu einer von der Mehrschichtstruktur (100) abgewandten zweiten Hauptfläche (23) hin zunächst einen derart abgeschrägten, gekrümmten oder gestuften ersten Seitenflächenbereich (24) aufweist, dass sich die Fensterschicht gegenüber der Grösse der ersten Hauptfläche (22) verbreitert. Eine umlaufende Seitenfläche (11) der Mehrschichtstruktur (100) und zumindest ein Teil des abgeschrägten, gekrümmten oder gestuften ersten Seitenflächenbereich (24) sind mit einer durchgehenden elektrisch isolierenden Schicht (30) überzogen. Die Erfindung betrifft weiterhin ein strahlungsemitierendes Bauelement mit einem derartigen Chip sowie ein Verfahren zum gleichzeitigen Herstellen einer Vielzahl solcher Chips.

## Beschreibung

Strahlungsemittierender Halbleiterchip, Verfahren zu dessen Herstellung und strahlungsemittierendes Bauelement

5

Die Erfindung betrifft einen strahlungsemittierenden Halbleiterchip nach dem Oberbegriff des Patentanspruches 1. Sie betrifft weiterhin ein Verfahren zum Herstellen eines solchen Halbleiterchips und ein strahlungsemittierendes Bauelement mit einem solchen Halbleiterchip.

10

Die Erfindung bezieht sich im Besonderen auf einen strahlungsemittierenden Halbleiterchip mit einer auf einem SiC-basierten Aufwachssubstrat aufgebrachtten Nitrid-basierten strahlungsemittierenden aktiven Mehrschichtstruktur und auf ein mit einem solchen strahlungsemittierenden Halbleiterelement ausgestattetes strahlungsemittierendes optisches Bauelement.

15

Typischerweise werden für strahlungsemittierende optische Bauelemente, insbesondere für Lumineszenzdiode-Bauelemente, derzeit im Wesentlichen ausschließlich quaderförmige strahlungsemittierende Halbleiterchips praktisch eingesetzt, die in der Regel in transparentes Vergußmaterial eingebettet sind. Eine große Schwierigkeit bereitet hierbei der große Unterschied der Brechungsindices von üblichen Halbleitermaterialien optischer Halbleiterelemente ( $n > 2,5$ ) und den herkömmlich zur Verfügung stehenden Vergußmaterialien (zum Beispiel Epoxidharz;  $n_{\text{epoxy}} \cong 1,5$ ). Der Grenzwinkel der Totalreflexion an der Grenzfläche zwischen Halbleiterkörper und Vergußmaterial ist folglich sehr klein. Dies ist Ursache dafür, daß aufgrund von Totalreflexion an den Chipoberflächen ein erheblicher Teil des in der aktiven Zone erzeugten Lichts nicht aus dem Halbleiterkörper ausgekoppelt wird und in dessen Innerem verloren geht. Bei vorgegebenem elektrischen Strom, der das Halbleiter-Bauelement zur Erzeugung des Lichts

20

25

30

35

durchfließt, ist damit die Helligkeit des Bauelements begrenzt.

Bei GaN-basierten Leuchtdiodenchips, bei denen die Epitaxieschichtenfolge auf einem Substrat (beispielsweise einem Siliziumcarbid-Substrat) angeordnet ist, das einen höheren Brechungsindex aufweist als die Epitaxieschichtenfolge, tritt zudem das besondere Problem auf, dass bei herkömmlicher quadrartiger Chipgeometrie der durch die Substratflanken ausgekoppelte Strahlungsanteil in einem sehr spitzen Winkel zur Substratflanke in Richtung Chiprückseite ausgekoppelt wird. Diese Strahlung trifft somit in einem sehr steilen Winkel und sehr nah am Chip auf eine Gehäusemontagefläche, auf der der Chip befestigt ist. Dies zieht die Nachteile nach sich, dass erstens aufgrund des spitzen Einfallswinkels ein großer Teil der Strahlung in der Chipmontagefläche absorbiert wird und zweitens eine erhebliche Gefahr besteht, dass ein gewisser Teil der Strahlung auf den zur Befestigung des Chips üblicherweise verwendeten Leitlebber trifft und von diesem absorbiert wird.

In der DE 198 07 758 A1 ist ein strahlungsemitterender Halbleiterkörper vorgeschlagen, bei dem zur Lichtausbeute-Erhöhung der aktiven Zone in der vorgesehenen Abstrahlrichtung des Halbleiterkörpers eine sogenannte primäre Fensterschicht nachgeordnet ist, dessen durchgehende Seitenoberfläche mit der Erstreckungsebene der mehrschichtigen Heterostruktur einen stumpfen Winkel einschließt. Die durchgehende Seitenoberfläche schließt mit der Ebene der aktiven Zone einen stumpfen Winkel zwischen  $110^\circ$  und  $140^\circ$  ein. Die primäre Fensterschicht ist hierbei von dem Aufwachssubstrat oder von einer auf diesem gesondert aufgewachsenen epitaxialen Schicht gebildet.

Zusätzlich kann der Halbleiterkörper gemäß DE 198 07 758 A1 eine weitere, sogenannte sekundäre Fensterschicht aufweisen, die an der von der primären Fensterschicht abgewandten Seite der aktiven Zone, das heißt an der Unterseite des Halbleiter-

körpers, mittels Epitaxie oder Waferbonden aufgebracht ist und deren durchgehende Seitenoberfläche mit der Ebene der aktiven Zone einen Winkel zwischen  $40^\circ$  und  $70^\circ$  einschließt. Der Halbleiterkörper weist folglich von der Oberseite zur Unterseite durchgehend schräg stehende Chipflanken auf.

Diese Chipgeometrie dient in erster Linie dazu, die parallel zur aktiven Zone verlaufende Oberfläche des Chips größer als die aktive Zone zu machen und zu erreichen, daß Licht, das auf die schräg stehenden Seitenwände des primären Fensters auftrifft, zur vorgesehenen Abstrahlrichtung hin vollständig intern zu reflektieren.

Die sekundäre Fensterschicht erfüllt zusätzlich die Aufgabe, von der aktiven Zone nach hinten, das heißt in Richtung Montagefläche des Halbleiterkörpers ausgesandtes Licht über die schräg stehenden Seitenflächen der sekundären Fensterschicht aus dem Halbleiterkörper auszukoppeln.

Um eine Auskopplung von Licht in Rückwärtsrichtung zu vermindern und dieses Licht vorzugsweise bereits im Halbleiterkörper zur Vorderseite hin umzulenken, ist eine reflektierende Beschichtung der gesamten schräg stehenden Chipflanken vorgeschlagen.

Diese bekannte Chipgeometrie, die in erster Linie auf die Verbesserung der Lichtauskopplung über die Vorderseite gerichtet ist, wirft insbesondere folgende Probleme auf:

- (i) Bei der Herstellung der schrägen Seitenflächen geht ein erheblicher Flächenanteil der auf dem Wafer vorhandenen aktiven Epitaxieschichtenfolge verloren, weil diese mittels Herstellen eines V-förmigen Grabens von der Seite der aktiven Zone her erzeugt werden.
- (ii) Die Dicke der sekundären Fensterschicht ist stark begrenzt, damit eine ausreichend große Chip-Montagefläche erhalten bleibt, bei der

- kein Verkippen des Chips bei dessen Montage in ein Leuchtdiodengehäuse auftritt,
- eine Stromaufweitung auf möglichst die gesamte aktive Zone gewährleistet ist,
  - eine ausreichende Wärmeabfuhr von der aktiven Zone gesichert ist und
  - der Chip ausreichende mechanische Stabilität aufweist. Sie beträgt daher bevorzugt nur ca. 10 bis 40% der seitlichen Breite der aktiven Zone.
- (iii) Die schrägen Seitenflanken bilden zusammen mit der Chipmontagefläche eines Leuchtdiodengehäuses einen keilförmigen Spalt aus, der bei herkömmlichen Kunststoff-LED-Gehäusen in der Regel mit transparentem Vergußmaterial gefüllt ist. Bei Erhöhung der Bauelementtemperatur während des Betriebs und/oder aufgrund Erhöhung der Umgebungstemperatur, wie sie beispielsweise bei Anwendungen in Kraftfahrzeugen auftritt, wirken aufgrund der hohen thermischen Ausdehnung üblicher Vergußmassen erhebliche mechanische Kräfte auf den Chip, wodurch die Gefahr einer Delamination des Chips von der Chipmontagefläche des Gehäuses im Vergleich zu quaderförmigen Chips erheblich gesteigert ist.
- (iv) Die Herstellung der sekundären Fensterschicht ist mit einem erheblichen technischen Aufwand verbunden, weil diese zusätzlich separat aufgewachsen oder mittels Waferbonden zusätzlich aufgebracht werden muß.
- (v) Die untere Fläche des Chips, die die Montagefläche darstellt, ist die kleinste Fläche des Halbleiterkörpers, über der der weitausladende obere Fensterbereich angeordnet ist. Daher besteht die große Gefahr, daß bei einer herkömmlich in der Chipmontage eingesetzten automatischen Chip-Montagetechnik, in der Regel ein Pick- and Place-Verfahren, eine Verkipfung des Chips und damit ein Verkipfung der Abstrahlachse des entsprechenden Leuchtdiodenbauelements auftreten kann. Diese Gefahr wird reduziert, wenn nur eine pri-

märe Fensterschicht und keine sekundäre Fensterschicht vorhanden ist.

- (vi) Die Dicke der eventuell vorhandenen unteren Fensterschicht muß aus den oben unter (ii) und (v) genannten Gründen möglichst gering gehalten werden. Dies bringt jedoch mit sich, daß dieses Fenster zu einem wesentlichen Teil von einem zur Montage von Leuchtdiodenchips üblicherweise verwendeten Klebstoff abgedeckt ist und damit nicht vollständig oder überhaupt nicht zur Lichtauskopplung beitragen kann.

Die Punkte (ii) und (v) nehmen mit abnehmender Kantenlänge des Chips, das heißt mit kleiner werdendem Querschnitt der aktiven Zone, was hinsichtlich möglichst großer Chipausbeute aus einem einzigen Wafer permanent angestrebt wird, an Bedeutung zu, denn je kleiner die Kantenlänge, umso kleiner wird bei der vorgeschlagenen Chipgeometrie sich ergebende Montagefläche des Chips. Die untere Fensterschicht ist aus diesen Gründen möglichst dünn ausgebildet oder weggelassen.

Die aus DE 198 07 758 A1 bekannte Chipgeometrie eignet sich, wenn überhaupt, praktisch sinnvoll nur für Materialsysteme auf der Basis von GaP, in dem sich dicke Schichten beider Leitungstypen epitaktisch erzeugen lassen, die ausreichend elektrisch leitend sind, um insbesondere die vorgeschlagene untere Fensterschicht realisieren und gleichzeitig eine Stromaufweitung auf annähernd die gesamte aktive Zone erzielen zu können.

Im Nitrid-basierten Halbleitermaterialsystem, das insbesondere GaN, InN und AlN und alle ternären und quaternären Mischkristalle auf der Basis von GaN, InN und AlN, wie beispielsweise AlGaInN, InGaInN und AlGaInN, umfaßt, weisen insbesondere p-leitend dotierte Schichten nur dann einen ausreichend geringen elektrischen Widerstand auf, wenn sie vergleichsweise dünn sind. Ein dickes unteres Fenster entsprechend der oben beschriebenen Anordnung läßt sich daher insbe-

sondere bei herkömmlich verwendeten aktiven Schichtenfolgen auf der Basis von GaN, bei denen die untere Fensterschicht auf der p-leitenden Seite anzuordnen wäre, unter Inkaufnahme der oben dargelegten Schwierigkeiten nur mittels Waferbonden realisieren, was mit hohem technischen Aufwand verbunden ist.

Aus der US 5,233,204 ist eine Geometrie eines lichtemittierenden Halbleiterkörpers auf der Basis von InGaAlP bekannt, bei dem zwischen einem absorbierenden Substrat und einer aktiven Schichtstruktur eine dicke transparente Epitaxieschicht angeordnet ist, die aus GaP, GaAsP oder AlGaAs besteht. Die Seitenflächen der dicken transparenten Epitaxieschicht stehen schräg zur aktiven Schichtstruktur, derart, daß sich eine trichterförmige Schicht ergibt. Dadurch trifft mehr der von der aktiven Schichtstruktur zum Substrat hin ausgesandten Strahlung mit einem Winkel auf die Seitenfläche der transparenten Schicht, der kleiner als der Totalreflexionswinkel ist.

Bei der in der US 5,233,204 vorgeschlagenen Chipgeometrie treten aber erhebliche Lichtverluste auf. Zum einen aufgrund Totalreflexion an der Grenzfläche von der aktiven Schichtstruktur zur dicken transparenten Epitaxieschicht ( $\text{Brechungsindex}_{\text{aktive Schicht}} > \text{Brechungsindex}_{\text{Fenster}}$ ) und nachfolgender Absorption in der aktiven Schichtenfolge. Zum anderen aufgrund Absorption im strahlungsabsorbierenden Aufwachssubstrat. Darüber hinaus erfordert die Herstellung der als dicke transparente Epitaxieschicht hergestellten Fensterschicht einen erheblichen zusätzlichen technischen Aufwand.

Zur Verbesserung der Lichtauskopplung ist an anderer Stelle vorgeschlagen worden, Halbleiterbauelemente mit beispielsweise dreiecksförmigem oder parallelogrammartigem lateralen Querschnitt zu erzeugen; siehe hierzu die Veröffentlichung Song Jae Lee, Seog Won Song: "Efficiency Improvement in Light-Emitting Diodes Based on Geometrically Deformed Chips", SPIE Conference on Light-Emitting Diodes, San Jose, Califor-



nia, January 1999, Seiten 237 bis 248. In diesen Anordnungen werden die Reflexionen im Chip erhöht, weil sich die Reflexionswinkel häufig ändern. Gleichzeitig müssen daher jedoch die strahlungserzeugende Schicht, die Kontakte oder andere Schichten des Halbleiterbauelements so ausgebildet sein, daß sie möglichst wenig Licht absorbieren.

Aufgabe der Erfindung ist es, einen für die Massenproduktion von Lumineszenzdioden-Bauelementen geeigneten strahlungs-emittierenden Halbleiterchip der eingangs genannte Art mit verbesserter Lichtauskopplung anzugeben, bei dem insbesondere auch eine hohe Chipausbeute aus einem einzigen Wafer gewährleistet ist und der zur Montage in herkömmliche Lumineszenzdiodengehäuse mittels herkömmlicher in der Halbleitertechnik verwendeter automatischer Chip-Montageanlagen geeignet ist.

Weiterhin soll ein Verfahren zum Herstellen eines derartigen Halbleiterkörpers angegeben werden.

Eine weitere Aufgabe der Erfindung besteht darin, ein verbessertes strahlungsemitierendes optisches Bauelement anzugeben.

Diese Aufgaben werden durch ein Halbleiterbauelement mit den Merkmalen des Anspruches 1, durch ein optisches Bauelement mit Merkmalen des Anspruches 13 bzw. durch ein Verfahren mit den Merkmalen des Anspruches 17 gelöst.

Vorteilhafte Weiterbildungen und Ausführungsformen sind Gegenstand der Unteransprüche 2 bis 12, 14 bis 16 bzw. 18 bis 21.

Unter „Nitrid-basiert“ fallen im Folgenden insbesondere alle binären, ternären und quaternären Stickstoff aufweisenden Halbleiter-Mischkristalle, wie GaN, InN, AlN, AlGaIn, InGaIn, InAlN und AlInGaIn.

Unter „SiC-basiert“ fällt jedes Mischkristall, dessen wesentliche Eigenschaften von den Bestandteilen Si und C geprägt sind.

- 5 Unter Aufwachssubstrat ist im Folgenden das für das epitaktische Aufwachsen der allerersten Schicht der aktiven Schichtenfolge zugrundegelegte Substrat zu verstehen.

- 10 Weiterhin ist im Folgenden unter Vorderseite oder Oberseite diejenige Seite des Halbleiterkörpers gemeint, die der aktiven Mehrschichtfolge in der vorgesehenen Abstrahlrichtung des Bauelements nachgeordnet ist. Mit Rückseite oder Unterseite ist folglich die von der Vorderseite abgewandte Seite des Halbleiterkörpers gemeint.

15

- Bei dem Halbleiterkörper der eingangs genannten Art weist gemäß der Erfindung die transparente Fensterschicht mindestens eine Seitenwand auf, die, gesehen von der Mehrschichtstruktur in Richtung von der Mehrschichtstruktur weg über einen ersten Schichtdickenabschnitt der Fensterschicht schräg, gekrümmt oder stufenartig von einer senkrecht zur Aufwachsebene der Epitaxieschichten stehenden Mittelachse des Halbleiterkörpers weg verläuft.

- 20  
25 Bei einer bevorzugten Ausführungsform verläuft die Seitenwand im weiteren Verlauf von der Mehrschichtstruktur weg über einen zweiten Schichtdickenabschnitt der Fensterschicht schräg, gekrümmt oder stufenartig zu der senkrecht zur Aufwachsebene der Epitaxieschichten stehenden Mittelachse des Halbleiterkörpers hin.

- 30  
35 Bei einer anderen Ausführungsform steht im weiteren Verlauf von der Mehrschichtstruktur weg, das heißt über einen sich an den zweiten Schichtdickenabschnitt anschließenden dritten Schichtdickenabschnitt, die Seitenwand der Fensterschicht parallel zur Mittelachse, das heißt senkrecht zur Hauptstreckungsebene der Mehrschichtstruktur.

Die erfindungsgemäße Geometrie des Halbleiterkörpers hat den weiteren Vorteil, daß bei deren Herstellung der Verlust an aktiver Mehrschichtstruktur gering gehalten ist. Nahezu die gesamte Waferfläche kann als aktive Zone

- 5 für die Halbleiterkörper genutzt werden. Die mit der erfindungsgemäßen Chipgeometrie erzielte Anzahl der Halbleiterkörper pro Wafer ist gegenüber der Herstellung herkömmlicher quaderförmiger Halbleiterkörper nur geringfügig verringert.
- 10 Die erfindungsgemäße Geometrie des Halbleiterkörpers eignet sich besonders bevorzugt insbesondere für Halbleiterkörper mit einer Nitrid-basierten aktiven Mehrschichtstruktur (das heißt aus dem Materialsystem  $\text{In}_{1-x-y}\text{Al}_x\text{Ga}_y\text{N}$  mit  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$  und  $x+y \leq 1$ ) auf einem SiC-basierten Substrat oder einem ande-
- 15 ren transparenten Substrat, dessen Material einen größeren Brechungsindex aufweist als die aktive Mehrschichtstruktur. Ein Grund hierfür ist, daß Nitrid-basierte Schichten nur dann einen ausreichend geringen elektrischen Widerstand aufweisen, wenn diese sehr dünn sind. Dies trifft ganz besonders für p-
- 20 dotierte derartige Schichten zu.

Der erfindungsgemäße Halbleiterkörper mit dem sich verjüngenden Fensterbereich ist aufgrund eines gegenüber herkömmlichen quaderförmigen Chips verbesserten Überlapps des Winkelbereichs

25 von auf die Substratflanken auftreffender Strahlung mit dem durch die Substratflanken auskoppelbaren Winkelbereich in der Lage, einen vergleichsweise großen Teil der in der aktiven Zone erzeugten Strahlung bereits beim ersten Chipdurchlauf, das heißt beim ersten Auftreffen von Strahlung auf die Chip-

30 oberfläche, auszukoppeln. Damit ist die Totalreflexion an den Seitenflächen reduziert, die direkte Lichtauskopplung erhöht und die Absorption durch lange optische Wege und viele Reflexionen im Bauelement bzw. angrenzenden Fensterbereichen verringert.

35

Der sich schräg, gekrümmt oder stufenartig verjüngende Teil der Fensterschicht ist beispielsweise derart ausgebildet, daß

ein Großteil der von dem Halbleiterbauelement durch die Seitenflanken ausgekoppelten Strahlung bezogen auf die Mittelachse des Halbleiterbauelements im Winkelbereich zwischen 50° und 90° abgestrahlt wird. Damit wird erreicht, daß bei herkömmlich für Lumineszenzdiode-Bauelemente verwendeten Gehäuse-Bauformen mit Reflektor die seitlich durch die Fensterschicht ausgekoppelte Strahlung auf die schräg stehenden Seitenwände des Reflektors treffen. Dies hat den bedeutenden Vorteil, daß die Strahlung in einem vergleichsweise stumpfen Winkel auf die Reflektor-Innenwände trifft, wodurch insbesondere bei Kunststoff-Reflektorwänden eine verbesserte Reflexion erreicht wird.

Bei herkömmlichen quaderförmigen Chips trifft dagegen der Hauptteil der durch die Fensterschicht ausgekoppelten Strahlung wegen des steilen Abstrahlwinkels von den Chipflanken auf den Reflektorboden, von dem zum einen wegen des steileren Auftreffwinkels der Strahlung und zum anderen wegen der unvermeidbaren teilweisen Abdeckung des Bodens mit Klebstoff vergleichsweise wenig Strahlung reflektiert wird.

Weiterhin besonders bevorzugt weist das Material der Fensterschicht einen größeren Brechungsindex auf als das an diese angrenzende Material der aktiven Mehrschichtstruktur. Dadurch wird vorteilhafterweise die Reflexion der von der aktiven Zone nach hinten ausgesandten Strahlung an der Grenzfläche zwischen Mehrschichtstruktur und Fensterschicht vermindert und es erfolgt eine Komprimierung der in die Fensterschicht eingekoppelten Strahlung.

Die erfindungsgemäße Chipgeometrie wird besonders bevorzugt bei Nitrid-basierten LED-Chips verwendet, bei dem die aktive Mehrschichtstruktur auf einem SiC- oder SiC-basierten Aufwachs-Substrat hergestellt ist. Hier gilt  $\text{Brechungsindex}_{\text{aktive Schicht}} > \text{Brechungsindex}_{\text{Substrat}}$ .

Bei einem Chip mit quadratischem Querschnitt ist das Verhältnis Kantenlänge Mehrschichtstruktur/Kantenlänge Fenstervorderseite bevorzugt größer als 1. Bei ebenen schrägen Seitenflächen des Fensters schließen diese mit der Mittelachse des Halbleiterbauelements besonders bevorzugt einen Winkel  $\alpha$  ungleich  $0^\circ$  und ungleich  $90^\circ$  ein, für den vorzugsweise gilt  $20^\circ \leq \alpha \leq 70^\circ$ .

Bei dieser Ausgestaltung ist einerseits eine gute Stromaufweitung auf die Fläche der Mehrschichtstruktur gewährleistet und liegt andererseits der Spannungsabfall in der Fensterschicht im Betrieb des Halbleiterchips in einem akzeptablen Bereich.

In einer weiteren vorteilhaften Ausgestaltung ist vorgesehen, daß mindestens der schräge, gekrümmte oder stufenartige Bereich der Fensterschicht aufgerauht ist.

Besonders vorteilhaft ist es, wenn die Fensterschicht aus dem Aufwachssubstrat geformt ist, wie zum Beispiel bei einer Nitrid-basierten Verbindungshalbleiter-Mehrschichtstruktur aus einem SiC-basierten Aufwachssubstrat.

Bei einem strahlungsemittierenden optischen Bauelement gemäß der Erfindung, das einen strahlungsemittierenden Halbleiterchip mit den oben offenbarten Merkmalen enthält, ist der Halbleiterchip in Top-Down-Montage, das heißt mit der strahlungsemittierenden Mehrschichtstruktur nach unten in einer Reflektor-Ausnehmung eines Gehäuse-Grundkörpers montiert. Die Reflektor-Ausnehmung weist bevorzugt eine vorzugsweise ebene Bodenfläche auf, auf die der strahlungsemittierende Halbleiterchip montiert ist und die von einer ebenen, schräg zur Bodenfläche stehenden Reflektorwand zumindest teilweise umschlossen ist. Der Gehäuse-Grundkörper ist aus einem reflektierenden Material, insbesondere aus einem entsprechenden Kunststoff, der vorzugsweise mit reflexionssteigerndem Material gefüllt ist, gefertigt und weist elektrische Anschluß-

elemente auf. Der Halbleiterchip ist mit seiner Mehrschichtstruktur, genauer mit einer auf dieser aufgetragenen Kontakt- und Verbindungsschicht auf die Bodenfläche aufgesetzt und beispielsweise mittels elektrisch leitendem Klebstoff oder  
5 metallischem Lot als elektrisch leitendem Verbindungsmittel mit dieser verbunden.

Die Höhe der Isolierschicht entlang der Seitenflächen der Mehrschichtstruktur und des ersten Seitenflächenbereichs der  
10 Fensterschicht ist so gewählt, daß das elektrisch leitende Verbindungsmittel keinen Kurzschluß zwischen Montageseite der Mehrschichtstruktur und Fensterschicht herstellen kann.

Bei einer besonderen Ausführungsform sind die seitlichen Reflektorwände derart parabolartig ausgebildet, daß eine über den schrägen, gekrümmten oder stufenartigen zweiten Seitenwandbereich ausgekoppelte und auf diese Flächen treffende Strahlung zu einer Abstrahlrichtung des Bauelements hin umge-  
15 lenkt werden, insbesondere weitestgehend parallel in eine vorgegebene Richtung zur aktiven Schicht nach oben reflektiert werden.

Die Reflektorwände können vorteilhafterweise auf einfache Weise hochreflektierend ausgebildet sein, beispielsweise mittels Al- oder Ag-Beschichtung. Die Gefahr einer Kontamination der schräg stehenden Reflektorwände mit Klebstoff oder Lot bei der Montage des Halbleiterbauelements in das Gehäuse besteht zudem nicht.

Die Kontaktschicht, beispielsweise eine Kontaktmetallisierung an der Mehrschichtstruktur ist bevorzugt ein Gitterkontakt. Es wurde festgestellt, daß die Rückreflexion der zur Montageseite des Chips hin ausgesandten Strahlung in Richtung Vorderseite verbessert ist, wenn die Rückseiten-Kontaktmetallisierung nicht ganzflächig ausgebildet ist und die Zwischen-  
35 räume zwischen den Gitterlinien vorzugsweise mit besser reflektierendem Material gefüllt sind.

Bei einem Verfahren zur gleichzeitigen Herstellung einer Vielzahl von strahlungsemittierenden Bauelementen gemäß der Erfindung ist vorgesehen, daß nach dem Aufbringen und vorzugsweise Strukturieren einer epitaktischen Schichtenfolge zu einer Vielzahl von nebeneinander angeordneten aktiven Mehrschichtstrukturen und Aufbringen der Isolationsschicht auf einem großflächigen Substratwafer in den Substratwafer zwischen den vorzugsweise vorher voneinander separierten Mehrschichtstrukturen von der Seite der Mehrschichtstrukturen her erste Form-Sägeschnitte eingebracht werden, deren Profil dem gewünschten Profil des ersten Seitenflächenbereichs entspricht. Nachfolgend werden von der der Mehrschichtstruktur abgewandten Seite des Substratwafers her in diesen gegenüber den ersten Sägeschnitten zweite Form-Sägeschnitte eingebracht, deren Profil dem gewünschten Profil der zweiten Seitenwandbereiche entspricht, bevor dann die gegebenenfalls verbliebene noch nicht durchsägte Substratdicke beispielsweise mittels Brechen, Lasertrennen oder Sägen durchtrennt wird, so dass voneinander getrennte strahlungsemittierende Halbleiterchips entstehen.

Erforderlichenfalls weisen bei den ersten und zweiten Sägeschnitten die Sägeblätter Formränder auf. Unter Formrand ist vorliegend eine nach bestimmten Maßgaben geformte Stirnseite des Sägeblattes zur Herstellung einer vorgesehenen Geometrie des Sägegrabens zu verstehen. Der Formrand weist vorliegend die Negativ-Form des schrägen, gekrümmten oder stufenartigen Teiles der Fensterschicht auf und ist folglich V-förmig, gekrümmt oder stufenartig ausgebildet.

Besonders bevorzugt erfolgt vor dem Einsägen mittels dem Sägeblatt mit Formrand ein Durchtrennen der aktiven Mehrschichtstruktur entlang der vorgesehenen Sägeschnitte, vorzugsweise mittels Ätzen.

Bei einer weiterhin bevorzugten Ausführungsart des Verfahrens ist vorgesehen, daß die Kontaktflächen, insbesondere gebildet

~~durch Metallisierungsschichten, bereits vor dem Einsägen des~~  
Substratwafers hergestellt werden.

Bei einer besonders bevorzugten Weiterbildung des Verfahrens  
5 wird zunächst auf einem SiC-basierten Substratwafer eine GaN-  
basierte Epitaxieschichtenfolge aufgebracht, die geeignet  
ist, Strahlung im ultravioletten, blauen und/oder grünen  
Spektralbereich auszusenden. Das Substratmaterial ist vor-  
zugsweise so gewählt, daß es zumindest für einen Großteil der  
10 von der aktiven Zone der Mehrschichtstruktur ausgesandten  
Strahlung zumindest teildurchlässig ist und einen größeren  
Brechungsindex aufweist als das Material der Epitaxieschich-  
tenfolge.

15 Nachfolgend werden auf der Vorderseite der Epitaxieschichten-  
folge und auf der Rückseite des Substratwafers Kontaktschich-  
ten aufgebracht, bevor danach die Epitaxieschichtenfolge be-  
vorzugt mittels Ätzen zu einer Vielzahl von voneinander ge-  
trennten aktiven Mehrschichtstrukturen separiert wird.

20 Danach erfolgen die Form-Sägeschritte.

Bei einer vorteilhaften Weiterbildung wird der Substratwafer  
vor Durchführung der zweiten Form-Sägeschnitte gedünnt, bei-  
25 spielsweise mittels Schleifen und/oder Ätzen.

Weitere bevorzugte Ausführungsformen und Weiterbildungen der  
Erfindung ergeben sich aus den nachstehend in Verbindung mit  
den Figuren 1 bis 12D beschriebenen Ausführungsbeispielen. Es  
30 zeigen:

Figur 1 eine schematische Darstellung eines Querschnitts  
durch eine erste Ausführungsform eines erfindungsgemäßen  
strahlungsemitterenden Halbleiterchips;  
35



- Figur 2 eine schematische Darstellung eines Querschnitts  
durch eine zweite Ausführungsform eines erfindungsgemä-  
ßen strahlungsemittierenden Halbleiterchips,
- 5    Figur 3 eine schematische Darstellung eines Querschnitts  
durch eine dritte Ausführungsform eines erfindungsgemä-  
ßen strahlungsemittierenden Halbleiterchips,
- 10    Figuren 4 eine schematische Darstellung eines Querschnitts  
durch eine vierte Ausführungsform eines erfindungsgemä-  
ßen strahlungsemittierenden Halbleiterchips,
- 15    Figur 5 eine schematische Darstellung eines Querschnitts  
durch eine fünfte Ausführungsform eines erfindungsgemä-  
ßen strahlungsemittierenden Halbleiterchips,
- 20    Figur 6 eine schematische Darstellung eines Querschnitts  
durch eine sechste Ausführungsform eines erfindungsgemä-  
ßen strahlungsemittierenden Halbleiterchips,
- 25    Figur 7 eine schematische Darstellung eines Querschnitts  
durch eine siebte Ausführungsform eines erfindungsgemä-  
ßen strahlungsemittierenden Halbleiterchips,
- 30    Figur 8 eine schematische Darstellung eines Querschnitts  
durch eine achte Ausführungsform eines erfindungsgemä-  
ßen strahlungsemittierenden Halbleiterchips,
- 35    Figur 9 eine schematische Darstellung eines Querschnitts  
durch eine neunte Ausführungsform eines erfindungsgemä-  
ßen strahlungsemittierenden Halbleiterchips,
- Figur 10 eine schematische Darstellung eines Querschnitts  
durch eine zehnte Ausführungsform eines erfindungsgemä-  
ßen strahlungsemittierenden Halbleiterchips,

Figur 11 eine schematische Darstellung eines Querschnitts durch ein erfindungsgemäßes strahlungsemittierendes Bauelement, und

- 5    Figuren 12A bis 12D eine schematische Darstellung von Verfahrensschritten zur gleichzeitigen Herstellung von erfindungsgemäßen Halbleiterchips.

10    In den Figuren sind jeweils gleiche oder gleichwirkende Bestandteile der Ausführungsbeispiele jeweils mit den gleichen Bezugszeichen versehen.

Figur 1 zeigt rein schematisch einen Querschnitt durch einen erfindungsgemäßen strahlungsemittierenden Halbleiterchip 1.  
15    Eine das Licht erzeugende aktive Schicht 10, zum Beispiel eine Einfach-Quantentopf (SQW für Single Quantum Well)- oder Mehrfach-Quantentopf (MQW für Multi Quantum Well)-Struktur auf der Basis von InGaN, liegt innerhalb einer Mehrschichtstruktur 100, die beispielsweise insgesamt aus einer Mehrzahl von  
20    Nitrid-basierten Halbleiterschichten besteht. Der genaue Aufbau einer solchen Mehrschichtstruktur ist abhängig vom Materialsystem und den gewünschten Eigenschaften des Bauelements. Einzelheiten hierzu sind aus dem Stand der Technik bekannt und werden von daher im vorliegenden Zusammenhang nicht  
25    näher erläutert.

Die Mehrschichtstruktur 100 ist zum Beispiel durch metallorganische Gasphasenepitaxieverfahren auf einer Fensterschicht  
20    hergestellt, die an ihrer von der Mehrschichtstruktur abgewandten Seite 23 einen elektrischen Kontakt 40 aufweist.  
30    Die Mehrschichtstruktur 100 weist auf ihrer von der Fensterschicht 20 abgewandten Seite einen zweiten elektrischen Kontakt 60 auf, der im Ausführungsbeispiel großflächig die Mehrschichtstruktur 100 bedeckt. Der elektrische Kontakt 60 ist  
35    vorzugsweise reflektierend ausgebildet oder weist eine zusätzliche Reflexionsschicht auf.

Der Kontakt 60 kann auch eine Gitterstruktur aufweisen und zwischen den Gitterlinien kann Material angeordnet sein, das für eine von der Mehrschichtstruktur ausgesandte Strahlung eine bessere Reflektivität aufweist.

5

Die Fensterschicht 20 ist aus dem Aufwachssubstratmaterial gebildet, und besteht vorzugsweise aus Siliziumcarbid oder aus einem auf SiC basierenden Material, während die Mehrschichtstruktur 100 auf Galliumnitridbasis ausgebildet ist.

10 Das bedeutet, daß die Mehrschichtstruktur 100 neben Stickstoff beispielsweise die Elemente Indium, Aluminium und/oder Gallium enthält. In diesem Materialsystem sind p-dotierte Schichten nur dann hinreichend elektrisch leitend, wenn sie vergleichsweise dünn sind.

15

In einem anderen Materialsystem können die Schichten der Mehrschichtenfolge 100 und das Substrat anders ausgebildet sein. Beispielsweise ist im Materialsystem InGaAlP eine Leitfähigkeit bei dicken Schichten möglich. Das Substrat kann Saphir oder SiC sein. Während deshalb im diesem Materialsystem oberhalb der Mehrschichtstruktur 100 noch ein transparentes Fenster aufgewachsen sein kann, ist die Ausbildung eines derartigen epitaktisch aufgewachsenen Fensters im Materialsystem von Galliumnitrid nicht möglich.

25

Die Fensterschicht 20 weist mindestens eine umlaufende Seitenfläche 21 auf, die im Verlauf von der der Mehrschichtstruktur 100 zugewandten ersten Hauptfläche 22 in Richtung zu der von der Mehrschichtstruktur 100 abgewandten zweiten

30 Hauptfläche 23 der Fensterschicht 20 hin zunächst einen derart abgeschrägten und um den Chip vollständig umlaufenden ersten Seitenflächenbereich 24 aufweist, dass sich die Fensterschicht gegenüber der Größe der ersten Hauptfläche 22 zunächst verbreitert. Im Anschluß an diesen abgeschrägten ersten Seitenwandteil 24 weist die Fensterschicht 20 einen senkrecht zur Haupterstreckungsebene der Mehrschichtstruktur 100 stehenden Seitenflächenbereich 27 auf. Die umlaufende

35

Seitenfläche 11 der Mehrschichtstruktur 100 und der abge-  
schrägte Seitenwandteil 24 sind mit einer durchgehenden elek-  
trisch isolierenden Schicht 30 überzogen, die beispielsweise  
aus Siliziumoxid oder Siliziumnitrid besteht.

5

Dieser Halbleiterchip 21 ist zur Top-Down-Montage bestimmt.

Die Ausführungsform von Figur 2 unterscheidet sich von der  
von Figur 1 insbesondere dadurch, dass dem ersten Seitenflä-  
chenbereich 24 im weiteren Verlauf zur zweiten Hauptfläche 23  
hin zunächst ein im Wesentlichen senkrecht zur Haupterstrek-  
kungebene der Mehrschichtstruktur 100 stehender Seitenwand-  
bereich 26 und sich nachfolgend die Fensterschicht 20 über  
einen schräg zur Haupterstreckungsebene der Mehrschichtstruk-  
tur 100 verlaufenden Seitenwandbereich 25 wieder verjüngt.  
Diesem sich verjüngenden Teil der Fensterschicht 20 ist wie-  
derum ein senkrecht zur Haupterstreckungsebene der Mehr-  
schichtstruktur 100 stehender Seitenwandbereich 27 nachgeord-  
net, der bis zur zweiten Hauptfläche 23 der Fensterschicht 20  
führt. Der schräg stehende Seitenwandbereich 27, über den  
sich die Fensterschicht 20 verjüngt, ist vorzugsweise voll-  
ständig um den Chip umlaufend und schließt mit einer senk-  
recht zur Haupterstreckungsebene der Mehrschichtstruktur 100  
stehenden Achse 50 einen Winkel  $\alpha$  ein, der zwischen  $10^\circ$  und  
80°, bevorzugt zwischen  $20^\circ$  und  $60^\circ$  liegt.

Die Ausführungsform von Figur 3 unterscheidet sich von der  
von Figur 2 insbesondere darin, dass zwischen dem ersten  
schräg stehenden Seitenwandbereich 24 und dem zweiten schräg  
stehenden Seitenwandbereich 25 der senkrecht zur Haupt-  
erstreckungsebene der Mehrschichtstruktur 100 stehende Seiten-  
wandbereich 26 von Figur 2 nicht vorhanden ist.

Bei der Ausführungsform von Figur 4 ist ausgehend von der er-  
sten Hauptfläche 22 der Fensterschicht ein um den Chip voll-  
ständig umlaufender gestufter Seitenwandteil 24 in Form einer  
rechtwinkligen Schulter ausgebildet, der ein senkrecht zur

Haupterstreckungsebene der Mehrschichtstruktur 100 stehender  
Seitenwandbereich 27 nachgeordnet ist, der bis zur zweiten  
Hauptfläche 23 der Fensterschicht 20 führt. Die umlaufende  
Seitenfläche 11 der Mehrschichtstruktur 100 und der gestufte  
5 Seitenwandteil 24 sind mit einer durchgehenden elektrisch  
isolierenden Schicht 30 überzogen, die beispielsweise aus Si-  
liziumoxid oder Siliziumnitrid besteht.

Die Ausführungsform von Figur 5 unterscheidet sich von der  
10 von Figur 4 insbesondere dadurch, dass dem ersten Seitenflä-  
chenbereich 24 im weiteren Verlauf zur zweiten Hauptfläche 23  
hin zunächst ein im Wesentlichen senkrecht zur Haupterstrek-  
kungsebene der Mehrschichtstruktur 100 stehender Seitenwand-  
bereich 26 und sich nachfolgend die Fensterschicht 20 über  
15 einen schräg zur Haupterstreckungsebene der Mehrschichtstruk-  
tur 100 verlaufenden Seitenwandbereich 25 wieder verjüngt.  
Diesem sich verjüngenden Teil 25 der Fensterschicht 20 ist  
wiederum ein senkrecht zur Haupterstreckungsebene der Mehr-  
schichtstruktur 100 stehender Seitenwandbereich 27 nachgeord-  
20 net, der bis zur zweiten Hauptfläche 23 der Fensterschicht 20  
führt. Der schräg stehende Seitenwandbereich 27, über den  
sich die Fensterschicht 20 verjüngt, ist vorzugsweise voll-  
ständig um den Chip umlaufend und schließt mit einer senk-  
recht zur Haupterstreckungsebene der Mehrschichtstruktur 100  
25 stehenden Achse 50 einen Winkel  $\alpha$  ein, der zwischen  $10^\circ$  und  
 $80^\circ$ , bevorzugt zwischen  $20^\circ$  und  $60^\circ$  liegt.

Die Ausführungsform von Figur 6 unterscheidet sich von der  
von Figur 5 insbesondere darin, dass zwischen dem ersten  
30 schräg stehenden Seitenwandbereich 24 und dem zweiten schräg  
stehenden Seitenwandbereich 25 der senkrecht zur Haupt-  
erstreckungsebene der Mehrschichtstruktur 100 stehende Seiten-  
wandbereich 26 von Figur 2 nicht vorhanden ist.

35 Bei der Ausführungsform von Figur 7 ist ausgehend von der er-  
sten Hauptfläche 22 der Fensterschicht ein um den Chip voll-  
ständig umlaufender gestufter Seitenwandteil 24 in Form einer

stumpfwinkligen Schulter ausgebildet, der ein senkrecht zur  
Haupterstreckungsebene der Mehrschichtstruktur 100 stehender  
Seitenwandbereich 27 nachgeordnet ist, der bis zur zweiten  
Hauptfläche 23 der Fensterschicht 20 führt. Die umlaufende  
5 Seitenfläche 11 der Mehrschichtstruktur 100 und der gestufte  
Seitenwandteil 24 sind mit einer durchgehenden elektrisch  
isolierenden Schicht 30 überzogen, die beispielsweise aus Si-  
liziumoxid oder Siliziumnitrid besteht.

10 Die Ausführungsform von Figur 8 unterscheidet sich von der  
von Figur 7 insbesondere dadurch, dass dem ersten Seitenflä-  
chenbereich 24 im weiteren Verlauf zur zweiten Hauptfläche 23  
hin zunächst ein im Wesentlichen senkrecht zur Haupterstrek-  
kungebene der Mehrschichtstruktur 100 stehender Seitenwand-  
15 bereich 26 und sich nachfolgend die Fensterschicht 20 über  
einen schräg zur Haupterstreckungsebene der Mehrschichtstruk-  
tur 100 verlaufenden Seitenwandbereich 25 wieder verjüngt.  
Diesem sich verjüngenden Teil 25 der Fensterschicht 20 ist  
wiederum ein senkrecht zur Haupterstreckungsebene der Mehr-  
20 schichtstruktur 100 stehender Seitenwandbereich 27 nachgeord-  
net, der bis zur zweiten Hauptfläche 23 der Fensterschicht 20  
führt. Der schräg stehende Seitenwandbereich 27, über den  
sich die Fensterschicht 20 verjüngt, ist vorzugsweise voll-  
ständig um den Chip umlaufend und schließt mit einer senk-  
25 recht zur Haupterstreckungsebene der Mehrschichtstruktur 100  
stehenden Achse 50 einen Winkel  $\alpha$  ein, der zwischen  $10^\circ$  und  
 $80^\circ$ , bevorzugt zwischen  $20^\circ$  und  $60^\circ$  liegt.

Die Ausführungsform von Figur 9 unterscheidet sich von der  
30 von Figur 8 insbesondere darin, dass zwischen dem ersten  
schräg stehenden Seitenwandbereich 24 und dem zweiten schräg  
stehenden Seitenwandbereich 25 der senkrecht zur Haupt-  
erstreckungsebene der Mehrschichtstruktur 100 stehende Seiten-  
wandbereich 26 von Figur 2 nicht vorhanden ist.

35

Bei den Ausführungsformen der Figuren 2, 3, 5, 6, 8 und 7 bilden  
die Seitenwandbereiche 24, 25 und ggf. 26 eine umlaufende Aus-

kragung 28 aus, die einerseits eine isolierende Beschichtung 30 ermöglicht und andererseits eine Verbesserung der Auskopp-  
lung der Strahlung aus dem Chip durch den schräg stehenden  
Seitenwandteil 25 bewirkt.

5

Bei der Ausführungsform von Figur 10 schließt sich anders als  
bei der Ausführungsform von Figur 9 an den zweiten schräg ste-  
henden Seitenwandteil 25 kein senkrecht zur Haupterstrek-  
kungebene der Mehrschichtstruktur 100 stehender Seitenwand-  
10 teil 27 an, sondern bildet der zweite schräg stehende Seiten-  
wandteil 25 mit der zweiten Hauptfläche 23 unmittelbar eine  
Kante aus. Diese Ausführungsvariante kann ebenso bei den Aus-  
führungsformen der Figuren 2, 3, 5, 6 und 8 angewendet werden.  
Vorteilhafterweise wird bei dieser Ausführungsvariante der  
15 Spannungsabfall im Chip reduziert.

Die oben beschriebenen schräg stehenden Seitenwandteile kön-  
nen alternativ geeignet gekrümmt oder gestuft ausgebildet  
sein. Sie können weiterhin aufgerauht sein. Ebenso können zu-  
20 sätzlich gegebenenfalls auch die Seitenwandteile 26 und 27  
aufgerauht sein.

Bei dem in Figur 11 dargestellten strahlungsemittierenden  
Bauelement ist ein strahlungsemittierender Chip 1 gemäß der  
25 Ausführungsform von Figur 10 in einer Ausnehmung 3 eines Ge-  
häusegrundkörpers 4 eines Bauelementgehäuses 2 mittels eines  
elektrisch leitfähigen Klebers oder mittels eines metalli-  
schen Lotes auf eine Chipmontagefläche 6 eines elektrischen  
Leiterrahmens 5 (Leadframe) montiert, derart, dass die Mehr-  
30 schichtstruktur 100 mit dem Kontakt 60 zur Chipmontagefläche  
6 hin gewandt ist und die Fensterschicht 20 auf der von der  
Chipmontagefläche 6 abgewandten Seite der Mehrschichtstruktur  
100 angeordnet ist. Bei dieser Montageart handelt es sich um  
die sogenannte Top-Down-Montage. Der Kontakt 40 auf der Fen-  
35 sterschicht ist mittels eines Bonddrahtes 8 mit einer Draht-  
anschlußfläche 7 des Leiterrahmens 5 verbunden. Die Ausneh-  
mung 3 ist beispielsweise mit einem strahlungsdurchlässigen

Reaktionsharz gefüllt und die Seitenflächen der Ausnehmung 3 sind vorzugsweise reflektierend ausgebildet, so dass die Ausnehmung einen Reflektor für eine vom Chip seitlich ausgesandte Strahlung bildet.

5

Bei dem in Figur 12 schematisch dargestellten Verfahrensausschnitt eines Verfahrens zum gleichzeitigen Herstellen einer Vielzahl von Halbleiterchips gemäß der Ausführungsform von Figur 8 wird zunächst auf einem Substratwafer 200 eine Mehrschichtenfolge 300 aufgewachsen, der aus einem Material gefertigt ist, das für eine von der aktiven Schicht 10 ausgesandte Strahlung durchlässig ist. Danach wird die Mehrschichtenfolge in eine Vielzahl von voneinander separierten Mehrschichtstrukturen 100 strukturiert, dass zwischen den Mehrschichtstrukturen 100 Trennspuren 201 ausgebildet werden, die bis auf den Substratwafer 200 reichen. Nachfolgend werden die ersten Seitenwandbereiche 24, insbesondere mittels Einsägen des Substratwafers zwischen den Mehrschichtstrukturen 100 mit einem Sägeblatt mit V-förmigem Formrand hergestellt, bevor dann die elektrisch isolierende Schicht 30 auf die Seitenflächen der Mehrschichtstrukturen 100 und auf die ersten Seitenwandbereiche 24 aufgebracht wird. Nach diesem Prozessschritt wird der Substratwafer 200 von der von den Mehrschichtstrukturen 100 abgewandten Seite her entlang den Trennspuren 201 mit einem Sägeblatt mit V-förmigem Formrand eingesägt, so dass die zweiten abgeschrägten Seitenwandbereiche 25 sowie die Seitenwandbereiche 27 entstehen. Dem folgt das Durchtrennen des Substratwafers 200 entlang den Trennspuren 201, insbesondere mittels Brechen oder Lasertrennen oder mittels eines weiteren Sägeschnittes, so dass die Vielzahl von voneinander getrennten Halbleiterchips 1 entstehen.

Sollen die Seitenwandbereiche 27 nicht entstehen, so können dazu entweder die Sägeschnitte zum Herstellen der zweiten schrägstehenden Seitenwandbereiche 25 nicht so tief ausgeführt werden oder der Substratwafer 200 vorher von dessen von den Mehrschichtstrukturen 100 abgewandten Seite her entspre-



chend gedünnt werden, beispielsweise mittels Schleifen oder Ätzen.

Die Kontakte 40 und 60 werden zu einem geeigneten Zeitpunkt  
5 abhängig vom exakten Ablauf des Verfahrens hergestellt.

Das oben beschriebene Verfahrensprinzip läßt sich in entsprechend der jeweils gewünschten Chipgeometrie geringfügig abgewandelter Form für die Herstellung sämtlicher Chipgeometrien  
10 der oben beschriebenen Ausführungsformen (Figuren 1 bis 10) anwenden.

## - Patentansprüche -

1. Strahlungsemittierender Halbleiterchip, mit einer Mehrschichtstruktur (100), die eine strahlungsemittierende aktive Schicht (10) enthält, und mit einer Fensterschicht (20), die für eine von der aktiven Schicht (10) ausgesandte Strahlung durchlässig ist und die in Richtung einer Hauptabstrahlrichtung des Halbleiterbauelements der Mehrschichtstruktur (100) nachgeordnet ist,
- 5
- 10 dadurch gekennzeichnet, dass
- der Halbleiterchip zur Top-Down-Montage in einem Chipgehäuse vorgesehen ist,
  - die Fensterschicht (20) mindestens eine umlaufende Seitenfläche (21) aufweist, die im Verlauf von einer der Mehrschichtstruktur (100) zugewandten ersten Hauptfläche (22) in
  - 15 Richtung zu einer von der Mehrschichtstruktur (100) abgewandten zweiten Hauptfläche (23) hin zunächst einen derart abgeschrägten, gekrümmten oder gestuften ersten Seitenflächenbereich (24) aufweist, dass sich die Fensterschicht gegenüber
  - 20 der Größe der ersten Hauptfläche (22) verbreitert und
  - eine umlaufende Seitenfläche (11) der Mehrschichtstruktur (100) und zumindest ein Teil des abgeschrägten, gekrümmten oder gestuften ersten Seitenflächenbereich (24) mit einer durchgehenden elektrisch isolierenden Schicht (30) überzogen
  - 25 sind.
2. Strahlungsemittierender Halbleiterchip nach Anspruch 1, dadurch gekennzeichnet, dass dem ersten Seitenflächenbereich (24) im weiteren Verlauf zur zweiten
- 30 Hauptfläche (23) hin ein abgeschrägter, gekrümmter oder gestufter zweiter Seitenflächenbereich (25) nachgeordnet ist, über dessen Länge sich die Fensterschicht (100) wieder verjüngt.

3. Strahlungsemittierender Halbleiterchip nach Anspruch 2,

dadurch gekennzeichnet, dass die Fensterschicht (100) zwischen dem ersten Bereich (24) und dem zweiten Bereich (25) einen senkrecht zur Mehrschichtstruktur stehenden dritten Seitenflächenbereich (26) aufweist.

4. Strahlungsemittierender Halbleiterchip nach mindestens einem der vorherigen Ansprüche, dadurch gekennzeichnet,

dass mittels der abgeschrägten, gekrümmten oder gestuften Seitenflächenbereiche (24;25) an der Fensterschicht (20) eine umlaufende Auskragung (28) ausgebildet ist, die von der Mehrschichtstruktur (100) gesehen seitlich über die erste Hauptfläche (22) hinausragt.

5. Strahlungsemittierender Halbleiterchip nach mindestens einem der vorherigen Ansprüche, dadurch gekennzeichnet,

dass dem ersten Seitenflächenbereich (24) oder ggf. dem zweiten Seitenflächenbereich (25) ein senkrecht zur Haupterstreckungsebene der Mehrschichtstruktur (100) stehender vierter Seitenflächenbereich (27) nachgeordnet ist.

6. Strahlungsemittierender Halbleiterchip nach mindestens einem der vorherigen Ansprüche, dadurch gekennzeichnet,

dass die Fensterschicht (20) aus einem für ein epitaktisches Aufwachsen der Mehrschichtenfolge (100) genutzten Aufwachssubstratkörper herausgeformt ist.

7. Strahlungsemittierender Halbleiterchip nach mindestens einem der vorherigen Ansprüche, dadurch gekennzeichnet,

dass die Mehrschichtstruktur (100) an ihrer von der Fensterschicht (20) abgewandten Seite eine Reflexionsschicht zur Reflexion einer von der strahlungsemittierenden aktiven Schicht (10) ausgesandten Strahlung zur Fensterschicht (100) hin aufweist.

8. Strahlungsemittierender Halbleiterchip nach mindestens einem der vorherigen Ansprüche, dadurch gekennzeichnet, dass der Brechungsindex des Materials der Fensterschicht (20) größer als der Brechungsindex des an die Fensterschicht (20) angrenzenden Materials der Mehrschichtstruktur (100) ist.
9. Strahlungsemittierender Halbleiterchip nach mindestens einem der vorherigen Ansprüche, dadurch gekennzeichnet, dass die Fensterschicht (20) aus Siliciumcarbid besteht oder auf SiC basiert und die Mehrschichtfolge aus Nitrid-basierten Halbleitermaterialien, insbesondere aus GaN-basierten Halbleitermaterialien gefertigt ist.
10. Strahlungsemittierender Halbleiterchip nach mindestens einem der vorherigen Ansprüche, dadurch gekennzeichnet, dass sämtliche Seitenflächenbereiche (24,25,26,27) vollständig um die Fensterschicht (20) umlaufend ausgebildet sind.
11. Strahlungsemittierender Halbleiterchip nach mindestens einem der vorherigen Ansprüche, dadurch gekennzeichnet, dass der zweite Seitenwandbereich (25) eine ebene schrägstehende Fläche aufweist, die mit einer senkrecht zur Haupterstreckungsebene der strahlungsemittierenden aktiven Schicht (10) stehenden Achse (50) einen Winkel ( $\alpha$ ) einschließt, der zwischen einschließlich  $20^\circ$  und einschließlich  $30^\circ$  liegt.
12. Strahlungsemittierender Halbleiterchip nach mindestens einem der vorherigen Ansprüche, dadurch gekennzeichnet, dass zumindest der zweite Seitenwandbereich (25) aufgeraut ist.
13. Strahlungsemittierendes Bauelement nach Anspruch 3 oder nach Anspruch 4 bis 12 unter Rückbezug auf Anspruch 3, da -

durch gekennzeichnet, dass der dritte Seitenwandflächenbereich (26) aufgerauht ist.

14. Strahlungsemittierendes Bauelement nach Anspruch 5 oder  
5 nach Anspruch 6 bis 13 unter Rückbezug auf Anspruch 5, dadurch gekennzeichnet, dass der vierte Seitenwandflächenbereich (26) aufgerauht ist.

15. Strahlungsemittierendes Bauelement mit einem strahlungsemittierenden Halbleiterchip nach einem der vorherigen Ansprüche und einem Bauelementgehäuse mit einer Chipmontagefläche, auf der der Halbleiterchip derart montiert ist, dass die Mehrschichtstruktur zur Chipmontagefläche hin gewandt ist.

16. Strahlungsemittierendes Bauelement nach Anspruch 14, bei dem der Halbleiterchip mittels eines elektrisch leitfähigen Klebers oder mittels eines metallischen Lotes auf der Chipmontagefläche befestigt wird.

17. Strahlungsemittierendes Bauelement nach Anspruch 15 oder 16, bei dem das Bauelementgehäuse eine Reflektorwanne (410) mit schrägstehenden oder parabelartigen Seitenwänden (350) aufweist, in der der Halbleiterchip montiert ist.

18. Strahlungsemittierendes Bauelement nach Anspruch 17, bei dem Seitenwände der Reflektorwanne mit reflexionssteigerndem Material beschichtet sind.

19. Verfahren zum gleichzeitigen Herstellen einer Vielzahl von Halbleiterchips gemäß mindestens einem der Ansprüche 1 bis 14, mit folgenden Verfahrensschritten:

- (a) Aufwachsen einer Mehrschichtenfolge (300) auf einen Substratwafer (200), der aus einem Material gefertigt ist, das für eine von der aktiven Schicht (10) ausgesandte  
35 Strahlung durchlässig ist;
- (b) Strukturieren der Mehrschichtenfolge in eine Vielzahl von voneinander separierten Mehrschichtstrukturen (100)

- auf dem Substratwafer, derart, dass zwischen den Mehrschichtstrukturen (100) Trennspuren ausgebildet werden, die bis auf den Substratwafer reichen;
- (c) Herstellen der ersten Seitenwandbereiche (24), insbesondere mittels Einsägen des Substratwafers zwischen den Mehrschichtstrukturen (100) mit einem Sägeblatt mit V-förmigem, gekrümmtem oder gestuftem Formrand;
- (d) Aufbringen der elektrisch isolierenden Schicht (30) auf die Seitenflächen der Mehrschichtstrukturen (100) und auf die ersten Seitenwandbereiche (24);
- (e) Durchtrennen des Substratwafers entlang der Trennspuren, insbesondere mittels Brechen oder Lasertrennen, so dass die Vielzahl von voneinander getrennten Halbleiterchips entstehen.
20. Verfahren nach Anspruch 19, bei dem vor Schritt (e) der Substratwafer von der von den Mehrschichtstrukturen (100) abgewandten Seite her gedünnt wird.
21. Verfahren nach Anspruch 19 oder 20, bei dem vor Schritt (e) in dem Substratwafer von der von den Mehrschichtstrukturen (100) abgewandten Seite her entlang der Trennspuren die zweiten Seitenwandbereiche ausgebildet werden, insbesondere mittels Einsägen des Substratwafers mit einem Sägeblatt mit schrägem, gekrümmtem oder gestuftem Formrand, der die Negativform der vorgesehenen Form der zweiten Seitenwandbereiche (25) aufweist.
22. Verfahren nach mindestens einem der Ansprüche 19 bis 21, bei dem das Durchtrennen von Schritt (e) durch ein Brechverfahren, ein Lasertrennverfahren oder ein Sägeverfahren erfolgt.
23. Verfahren nach mindestens einem der Ansprüche 19 bis 22, bei dem vor dem Durchtrennen des Substratwafers auf den freien Oberflächen des Substratwafers bzw. der Mehrschichtstrukturen Metallkontakte hergestellt werden.

FIG 1

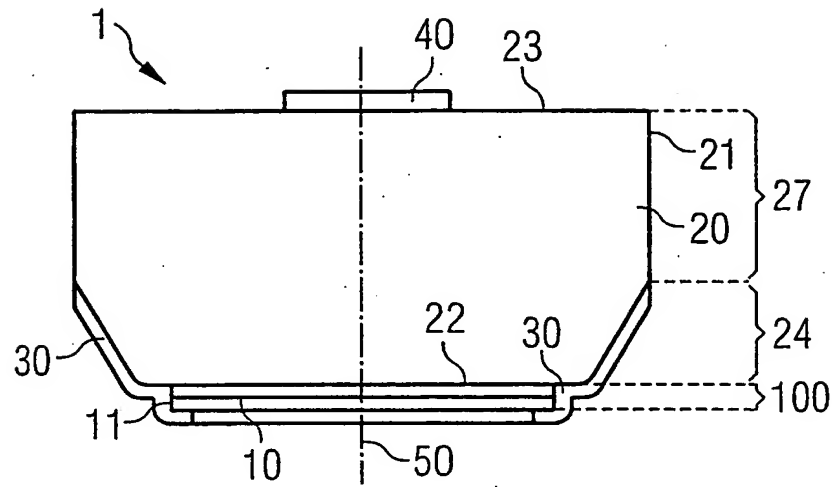


FIG 2

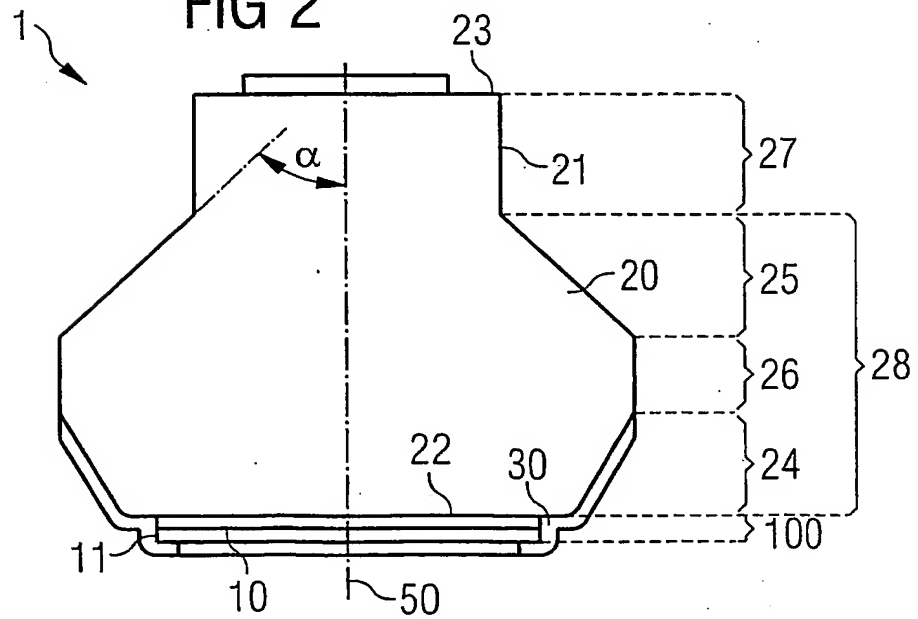


FIG 3

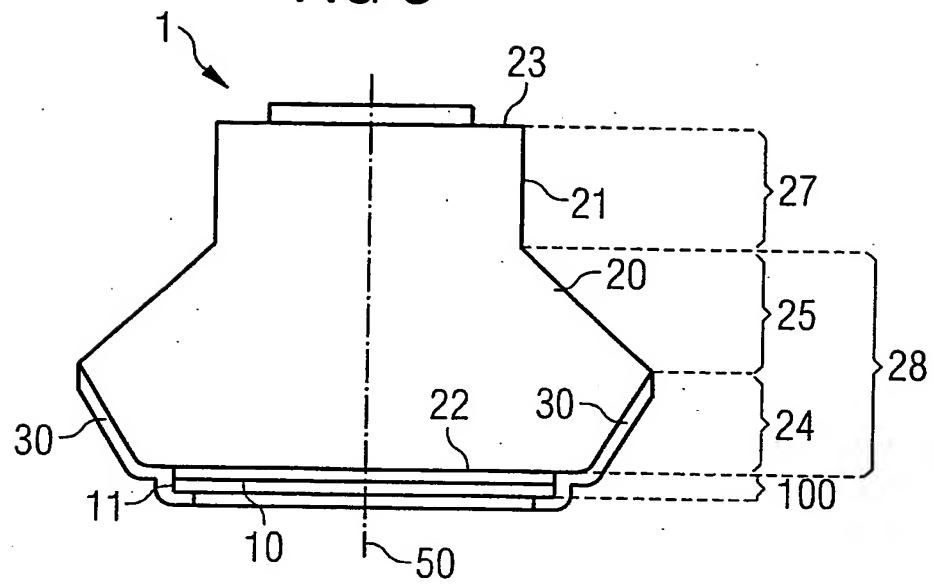


FIG 4

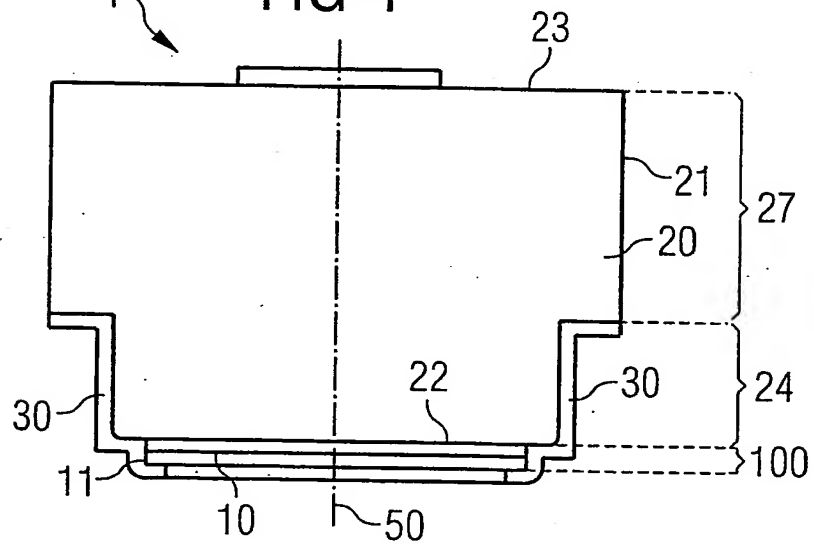




FIG 5

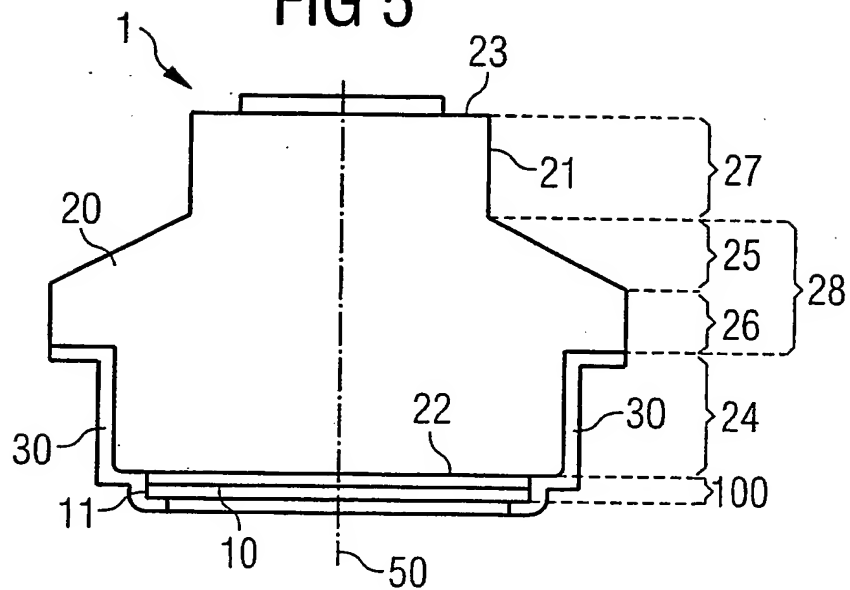


FIG 6

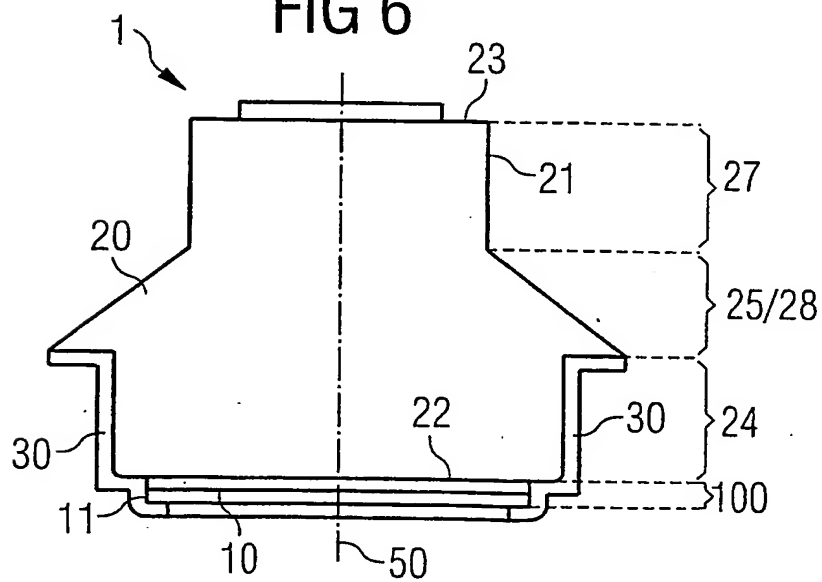


FIG 7

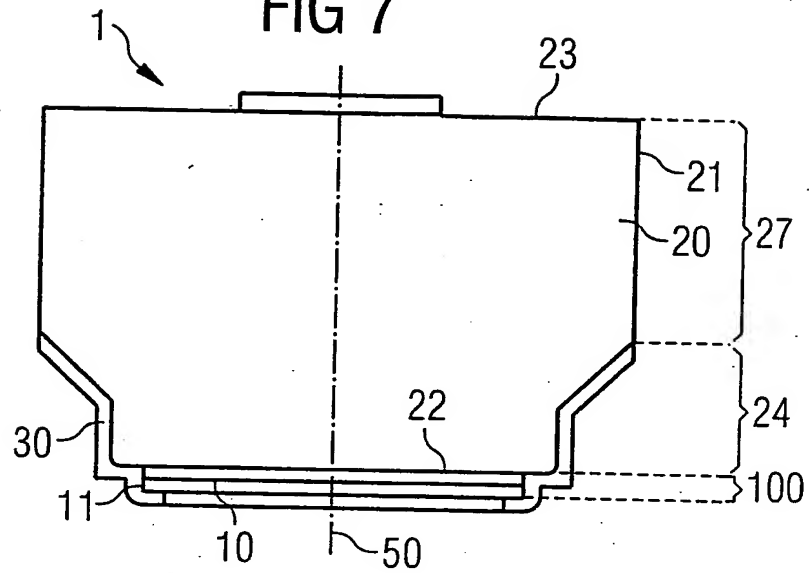


FIG 8

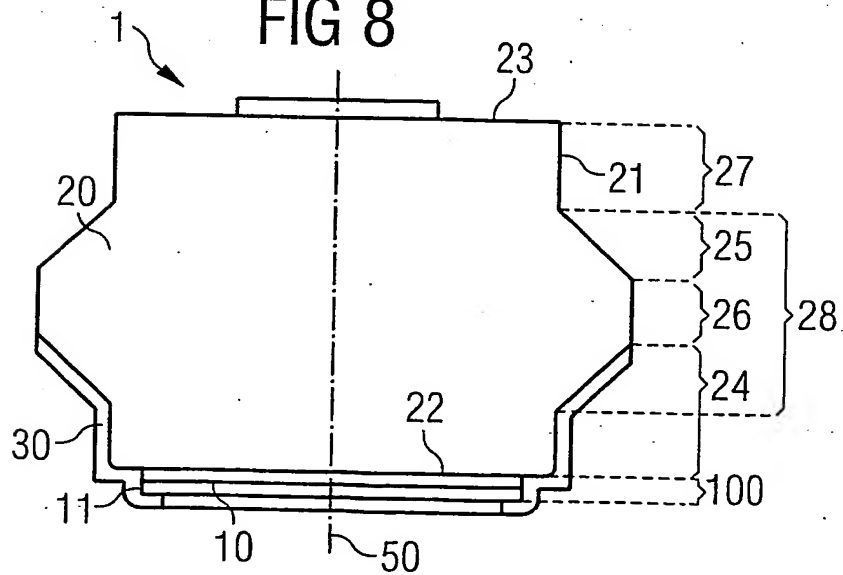


FIG 9

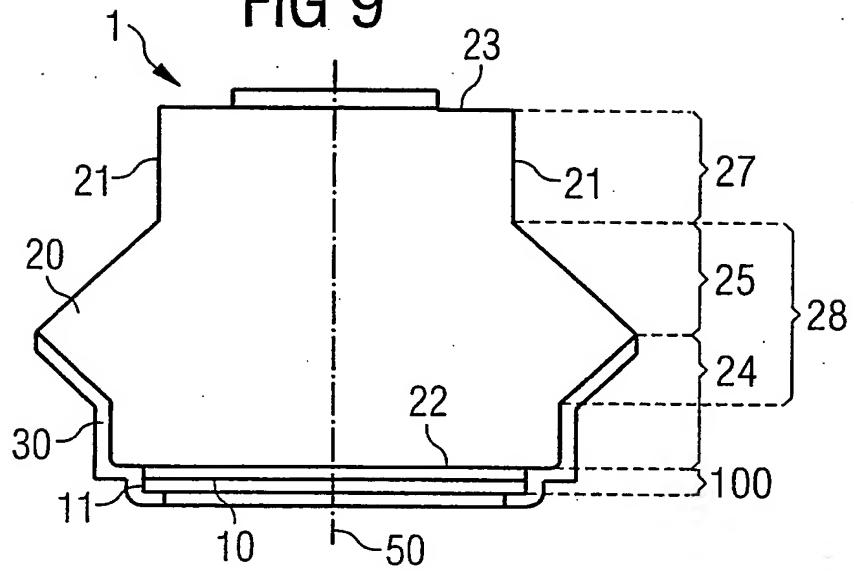


FIG 10

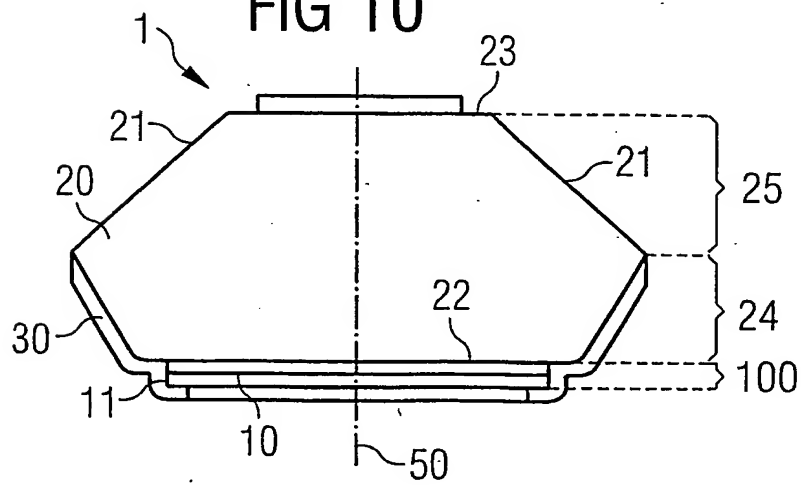


FIG 11

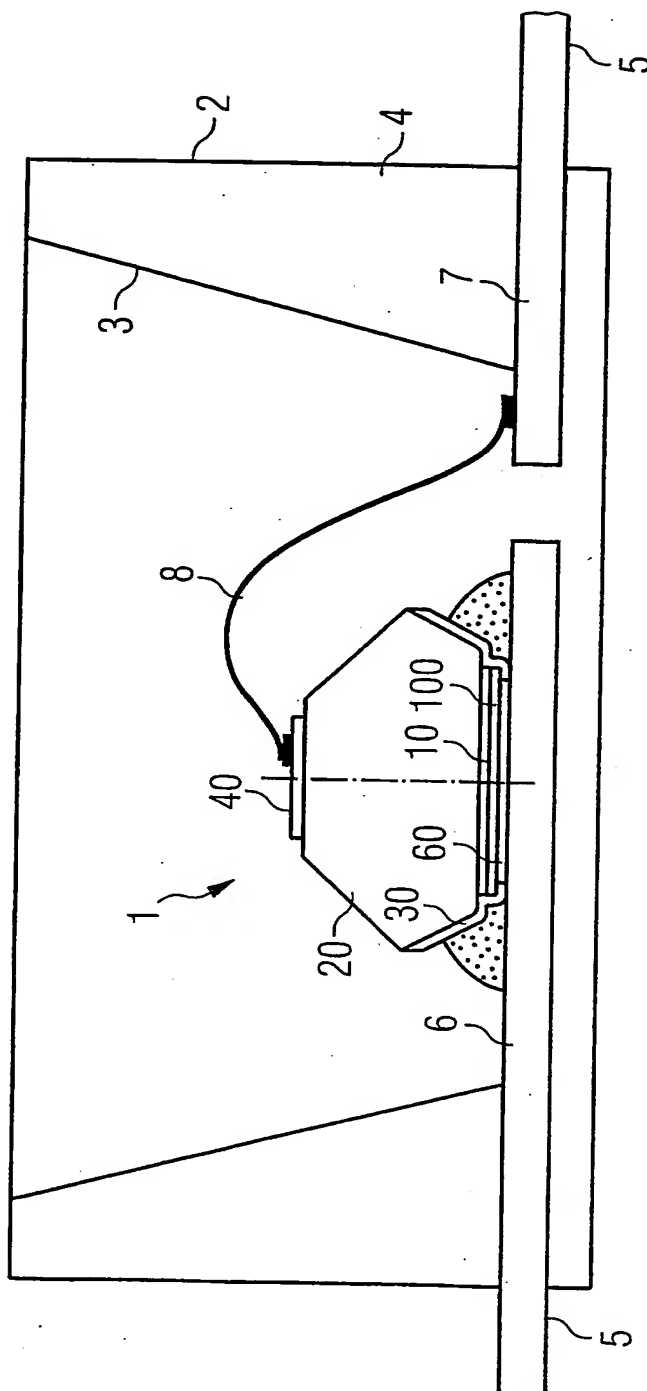


FIG 12A

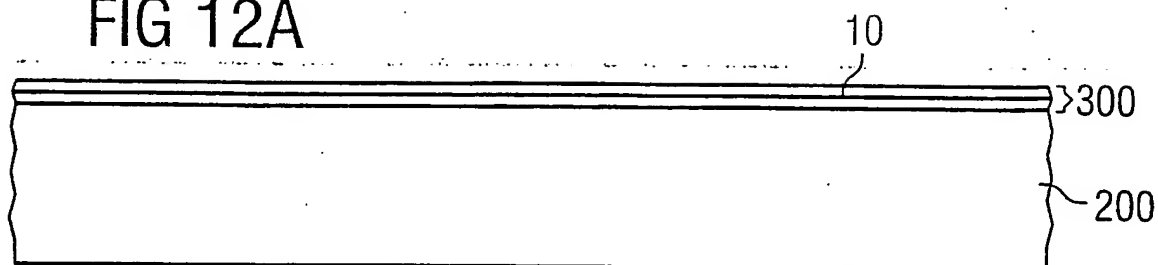


FIG 12B

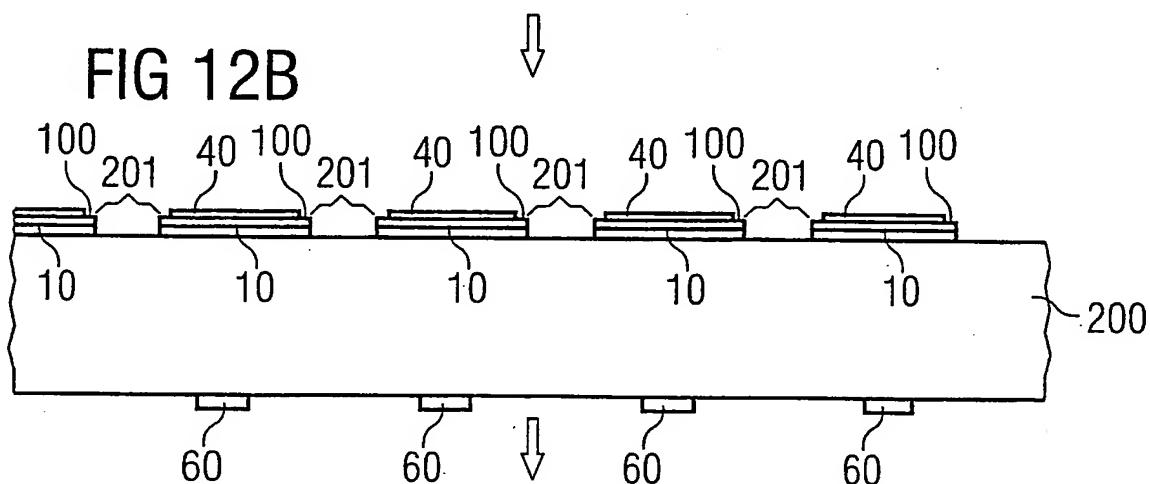


FIG 12C

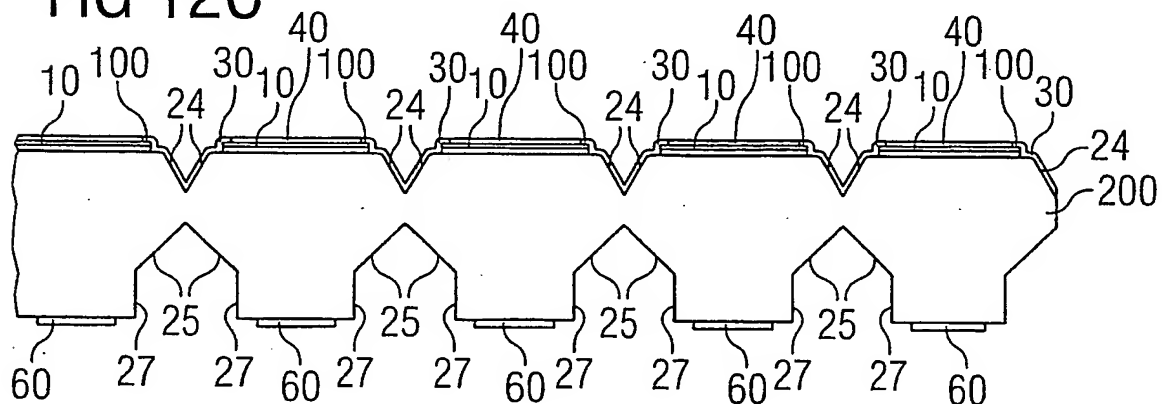
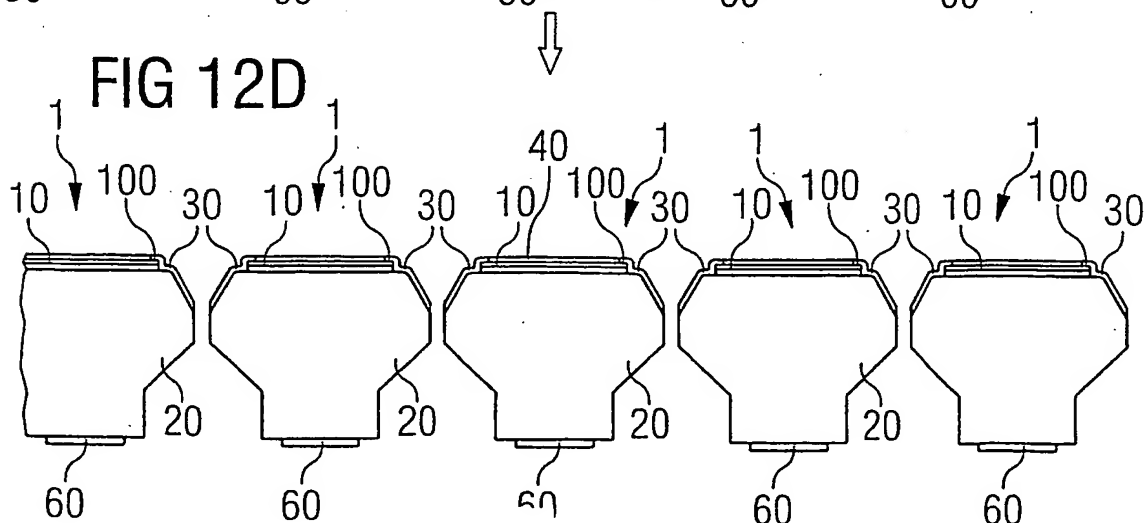


FIG 12D



**THIS PAGE BLANK (USPTO)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**